

501P1545 US00

#6

11000 U.S. PTO  
09/07/2006



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月 6日

出 願 番 号

Application Number:

特願2000-307615

出 願 人

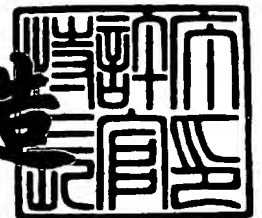
Applicant(s):

ソニー株式会社

2001年 8月31日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3080796

【書類名】 特許願

【整理番号】 0000672502

【提出日】 平成12年10月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 G09F 9/33

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
                                内

    【氏名】 大畑 豊治

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

    【代表者】 安藤 国威

【代理人】

    【識別番号】 100092336

    【弁理士】

    【氏名又は名称】 鈴木晴敏

    【電話番号】 0466-54-2640

【手数料の表示】

    【予納台帳番号】 010191

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9709206

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 素子実装方法

【特許請求の範囲】

【請求項 1】 ウェハ上に所定の周期で配列された複数の素子を、該配列を維持したまま個々の素子に分離する素子分離工程と、

個々に分離した素子を操作して、互いの間隔が該周期を所定の倍率で拡大した寸法となる様に、各素子を再配列する再配列工程と、

再配列した状態を保持したまま各素子を実装基板に転写する転写工程とからなる素子実装方法。

【請求項 2】 前記再配列工程は、該周期の整数倍に相当する間隔で飛び々に該素子を選択して再配列する間引選択手順を含み、前記転写工程は、選択された素子を実装基板の一部分に転写する部分転写手順を含み、該間引選択手順と該部分転写手順を繰り返して複数の素子を該実装基板の全体に転写する請求項 1 記載の素子実装方法。

【請求項 3】 前記間引選択手順は、ウェハの表面上で該配列を維持したまま分離した状態にある複数の素子のうち選択した素子のみにウェハの裏面からエネルギービームを照射して剥離し、仮基板に剥離した素子を仮転写して再配列する一方、前記部分転写手順は該仮基板に仮転写した素子を実装基板に本転写する請求項 2 記載の素子実装方法。

【請求項 4】 前記再配列工程は、所定の倍率で拡大可能な担体の上に該配列を維持したまま個々の素子を固定する固定手順と、該担体を所定の倍率で拡大し各素子の間隔が該周期を該倍率で拡大した寸法となる様に広げる拡大手順とを行なう請求項 1 記載の素子実装方法。

【請求項 5】 前記固定手順は、所定の倍率で変形可能なフィルム状の担体の上に個々の素子を固定し、前記拡大手順は該フィルム状の担体を所定の倍率で延伸する請求項 4 記載の素子実装方法。

【請求項 6】 前記固定手順は、所定の倍率で展開可能な様にあらかじめ折りたたまれた担体の上に個々の素子を固定し、前記拡大手順は該担体を該所定の倍率で展開する請求項 4 記載の素子実装方法。

【請求項 7】 前記素子分離工程は、所定の周期で縦横二次元的に配列する様に複数の素子を分離し、前記再配列工程は各素子を縦横一方に一次元的に再配列した後、各素子を縦横他方に一次元的に再配列する請求項 1 記載の素子実装方法。

【請求項 8】 前記再配列工程は、第一の倍率で一回目の再配列を行ない、続いて第二の倍率で二回目の再配列を行なって、第一の倍率と第二の倍率の積が該所定の倍率となる様に再配列する請求項 1 記載の素子実装方法。

【請求項 9】 前記素子分離工程は、半導体ウェハ上に発光素子を集積形成した後個々に分離し、前記転写工程は該発光素子を所定の間隔で画像表示装置の実装基板に転写する請求項 1 記載の素子実装方法。

【請求項 10】 ウェハに配列された複数の素子を実装基板に転写する際に、素子を間引いて転写することによって素子間の間隔が拡大した状態となるように実装基板に転写する素子実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は素子実装方法に関する。より詳しくは、ウェハから切り出された微細な半導体素子を、回路基板にマトリクスアレイ状に実装する技術に関する。例えば、発光ダイオード素子を回路基板上に二次元的に配列して、画像表示装置を製造する技術に関する。

【0002】

【従来の技術】

図 13 の (A) は、平面テレビ用に作成された画像表示装置の一例を示す模式的な斜視図である。アルミナ板などからなる回路基板（実装基板）7 の表面には配線 108 と外部接続用の引出し電極 108a が形成されている。配線 108 及び引出し電極 108a 以外の部分は薄く黒色樹脂で覆われている。配線 108 の一部はパッド電極となっており、これに個々の発光ダイオード素子（LEDチップ）が固定されている。個々の LED はその頂面にパッド電極が形成されており、ワイヤ 120 で電気接続が取られる。

## 【0003】

(B) は、(A) に示した画像表示装置の模式的な部分断面図である。個々の LED チップは回路基板 7 の配線 108 に対して、ダイボンディングで接続されている。配線 108 以外の部分は黒色樹脂 123 で覆われている。LED チップは P/N 接合層を備えている。その頂面にはパッド電極 122 が形成されており、細線 121 を用いたワイヤボンディングにより、引出し電極 108a に電気接続されている。パッド電極 122 側を正とし配線 108 を負側として電流を供給すると、P/N 接合層が発光し、所望の表示が得られる。

## 【0004】

## 【発明が解決しようとする課題】

LED チップなどの半導体素子はウェハ上に半導体プロセスを用いて形成される。チップサイズを微細化する程ウェハ一枚当たりの取り個数が増える。LED チップでは、例えば  $20\mu\text{m}$  角まで微細化されている。一方、画像表示装置（ディスプレイ）は、用途によって高精細化及び大形化が進んでおり、例えばプラズマディスプレイなどでは 50 インチの対角寸法を有するディスプレイ用基板に、400 万個程度の画素が形成されている。しかし、LED などの  $20\mu\text{m}$  角程度の微細な個別素子に対角寸法が 50 インチに及ぶ実装基板に対して数百万個程度まで精度よく配列することは、実装技術上多大の労力及び作業時間を要し、解決すべき課題となっている。これに対処する為、従来から、種々の方策が提案されているが、実用的な水準までに至っていない。例えば、米国特許 5783856 号や 5824186 号では、実装基板のチップを配列すべき箇所に無数の凹部を設け、流体運動を利用して微細なチップを自動的に凹部にはめ込んでいく技術が開示されている。しかしながら、実装すべきチップの位置に加え方位が問題となる場合には必ずしも効果的ではない。又、特開昭 56-17385 号公報には、転写を繰り返してウェハ側から実装基板側にチップを移動する技術が提案されている。しかしながら、微細なチップを大型の実装基板に効率的に配列する具体的な手段までは開示されていない。

## 【0005】

## 【課題を解決するための手段】

上述した従来の技術の課題に鑑み、本発明は微細な素子を効率的且つ精密に回路基板に配列可能な素子実装方法を提供することを目的とする。係る目的を達成為に以下の手段を講じた。即ち、本発明に係る素子実装方法は、ウェハ上に所定の周期で配列された複数の素子を、該配列を維持したまま個々の素子に分離する素子分離工程と、個々に分離した素子を操作して、互いの間隔が該周期を所定の倍率で拡大した寸法となる様に、各素子を再配列する再配列工程と、再配列した状態を保持したまま各素子を実装基板に転写する転写工程とからなる。

## 【 0 0 0 6 】

好ましくは、前記再配列工程は、該周期の整数倍に相当する間隔で飛び々に該素子を選択して再配列する間引選択手順を含み、前記転写工程は、選択された素子を実装基板の一部分に転写する部分転写手順を含み、該間引選択手順と該部分転写手順を繰り返して複数の素子を該実装基板の全体に転写する。例えば、前記間引選択手順は、ウェハの表面上で該配列を維持したまま分離した状態にある複数の素子のうち選択した素子のみにウェハの裏面からエネルギービームを照射して剥離し、仮基板に剥離した素子を仮転写して再配列する一方、前記部分転写手順は該仮基板に仮転写した素子を実装基板に本転写する。或いは、前記再配列工程は、所定の倍率で拡大可能な担体の上に該配列を維持したまま個々の素子を固定する固定手順と、該担体を所定の倍率で拡大し各素子の間隔が該周期を該倍率で拡大した寸法となる様に広げる拡大手順とを行なう。例えば、前記固定手順は、所定の倍率で変形可能なフィルム状の担体の上に個々の素子を固定し、前記拡大手順は該フィルム状の担体を所定の倍率で延伸する。或いは、前記固定手順は、所定の倍率で展開可能な様にあらかじめ折りたたまれた担体の上に個々の素子を固定し、前記拡大手順は該担体を該所定の倍率で展開する。

## 【 0 0 0 7 】

好ましくは、前記素子分離工程は、所定の周期で縦横二次元的に配列する様に複数の素子を分離し、前記再配列工程は各素子を縦横一方に一次元的に再配列した後、各素子を縦横他方に一次元的に再配列する。又、前記再配列工程は、第一の倍率で一回目の再配列を行ない、続いて第二の倍率で二回目の再配列を行なって、第一の倍率と第二の倍率の積が該所定の倍率となる様に再配列する。又、前

記素子分離工程は、半導体ウェハ上に発光素子を集積形成した後個々に分離し、前記転写工程は該発光素子を所定の間隔で画像表示装置の実装基板に転写する。

#### 【 0 0 0 8 】

本発明によれば、ウェハ上で個々に分離した素子をまとめて操作することにより、各素子を再配列する。その際、再配列された素子の間隔が所定の倍率で拡大される様になっている。その後、再配列した状態をそのまま実装基板に転写することで、効率的且つ精密な素子実装を実現できる。

#### 【 0 0 0 9 】

##### 【発明の実施の形態】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明に係る素子実装方法の基本的な概念を示す模式的である。(A)は実装前の素子配列を示し、(B)は実装後の素子配列を示している。本素子実装方法は、基本的に、素子分離工程と、再配列工程と、転写工程とからなる。素子分離工程では、所定の周期Dで配列する様に複数の素子をウェハ1上に形成した後、配列を維持したまま個々の素子に分離する。本例では、素子としてウェハ1上にLEDチップを形成している。また、複数の素子を平面的に配列している。次に、再配列工程では、個々に分離した素子进行操作して、互いの間隔Gが周期Dを所定の倍率で拡大した寸法となる様に、各素子を再配列する。この後転写工程では、再配列した状態を維持したまま各素子を実装基板7に転写する。本例では、回路配線が形成された実装基板7にLEDチップをマトリクス状に配列することで、画像表示装置を得ている。即ち、素子分離工程では、半導体ウェハ1上に発光素子(LED)を集積形成した後個々に分離し、転写工程では発光素子(LED)を所定の間隔Gで画像表示装置の実装基板7に転写している。但し、本発明はこれに限られるものではなく、様々な素子に適用可能である。例えば、発光素子に加え、同じく半導体プロセスで作成された発光素子駆動用のドライバチップを、回路基板上に発光素子と隣接して実装することができる。あるいは、基板(例えば、シリコン基板)上に形成された複数の駆動素子(例えば、薄膜トランジスタ、スイッチングトランジスタ)を液晶セルの画素位置に対応するように配置し直すこともできる。この方法によると、複数の駆動素子を製造するための基板のサイズに依存

することなくサイズの大きい液晶表示装置を製造することができる。また、カラーフィルタも画素位置に対応するように配置できる。すなわち、画素位置等の所定の位置に特定の部材を配置できる。あるいは、微細なコイルに加え増幅器やフィルタを形成したアンテナ素子を、基板上に実装することで、平面アンテナを製造することも可能である。あるいは、レーザダイオード素子を基板に実装して、通信用の光学機器を製造することも可能である。本発明の基本的な概念は、微小な周期で形成された微細な素子を、拡大された間隔で大型の実装基板に配列することである。

#### 【 0 0 1 0 】

図示の例では、再配列工程は、周期 $D$ の整数倍に相当する間隔 $G$ で飛び々に $LED$ 素子を選択して再配列する間引選択手順を含む。又、転写工程は、選択された $LED$ 素子を実装基板7の一部分に転写する部分転写手順を含む。この間引選択手順と部分転写手順を繰り返して、多数の $LED$ 素子を実装基板7の全体に転写する。図示の例では、 $G = 10 \cdot D$ である。実装基板7はウェハ1の10倍の長さ寸法を有する。面積では、実装基板7はウェハ1の100倍となっている。図示の例では、最初にウェハ1から選択された $LED1$ ,  $LED11$ , ... のみが、実装基板7の一部に転写されている。 $LED$ の選択を行方向（横方向）に10回繰り返し、列方向（縦方向）に10回繰り返す。行方向及び列方向を合わせると間引選択手順及び部分転写手順を100回行なうことで、ウェハ1から実装基板7に全ての $LED$ チップを拡大転写することができる。係る方式により、小さな $LED$ チップを実装基板に対して多数同時に整列させることができる為、高精細な画像表示装置を比較的安価に作成可能である。以下、間引選択手順と部分転写手順を繰り返す方式を、「選択転写」と呼ぶ場合がある。一回の選択転写で選択される $LED$ は、ウェハ1の全体に分散している。その分、個々の $LED$ チップの動作特性のばらつきも均一化する。この様にばらつきが均一化された $LED$ を実装基板7に配列することにより、実装基板7上でも個々の $LED$ の動作特性のばらつきが均一化される。従って、個々の $LED$ の消費電力も局所的な差がなくなり、基板7全体に亘って温度のばらつきが少なくなる。又、選択された $LED$ チップは、ウェハ1上での寸法精度を維持したまま実装基板7に転写でき



るので、高い実装精度を実現できる。実装基板7上で個々のLEDの位置調整を行なう必要がなく、選択転写毎に、基板7に対する大まかな位置調整を行なえばよい。従って、実装における位置調整の手間が少なくなる。

#### 【0011】

図2は、選択転写の実施例を模式的に表わした図面である。本例では、理解を容易にする為、選択転写を9回繰り返してウェハ1側の素子を実装基板7に拡大配列している。まず(1)に示す様に、ウェハ1上に形成され且つ個々に分離された複数の素子を用意する。本明細書では、元の配列周期を維持したまま分離された素子の集合を「マイクロチップアレイ」と呼ぶ場合がある。本例では、マイクロチップアレイは $9 \times 9 = 81$ 個の素子を含み、これを9ブロックに分けている。各ブロックの左上にある素子を選択して一回目の選択転写を行なう。続いて(2)に示す様に、各ブロックから次の素子を選択して二回目の選択転写を行なう。この様にして選択転写を繰り返すと(8)に示す様に、マイクロチップアレイ側には各ブロックにつき一個の素子のみが残される。最後に(9)に示す様に九回目の選択転写を行なうことで、拡大再配列的な素子実装が実現する。

#### 【0012】

図3は、本発明に従って製造された画像表示装置の一例を示す模式図である。本例は、赤(R)、緑(G)及び青(B)の三色LEDを対角寸法が50インチの回路基板に実装したカラー画像表示装置である。ウェハ1Rには赤色LEDチップが集積形成されている。チップサイズは例えば $20 \mu\text{m}$ 角である。ウェハ1Gには緑色LEDチップが同様に集積形成されている。ウェハ1Bには青色LEDチップが同様に集積形成されている。これら三枚のウェハに対してそれぞれ選択転写を適用することで、50インチの対角寸法を有する基板に400万個に及ぶチップを精密且つ効率的に実装できる。尚、各ウェハから取り出されるチップの占める面積は対角寸法で2インチである。実装基板7の一面素分を拡大して示すと、縦横に配列した配線の各交差部に、LEDチップや付随するドライバチップなどが精密に配列されている。

#### 【0013】

図4は、図3に示した画像表示装置の一面素分を示す模式的な拡大図である。

図では一画素分の領域を $V1 \times H1$ で表わしてある。実装基板7上には、横方向に延在するアドレス線ADDと二本の電源線PW1, PW2が所要の間隔で形成されている。その線幅は、発光ダイオード(LED)や電流保持回路(ドライバ)のチップサイズに比較して広い。又、同じ画素内には縦方向に各発光ダイオード毎の信号線DLR, DLG, DLBが所要の間隔で形成されている。これら信号線DLR, DLG, DLBもアドレス線ADDと同様の寸法で形成されている。

#### 【0014】

本実施例の画像表示装置では、発光ダイオードDR, DG, DBがマトリクス状に配列され、所要の画像信号に応じて発光を行なう。当該画素において、赤色発光ダイオードDR、緑色発光ダイオードDG及び青色発光ダイオードDBの順にダイオードが配列されており、これら三つの発光ダイオードが一つの画素の組を構成する。各発光ダイオードDR, DG, DBはそれぞれほぼ正方形の微小なサイズを以て実装されたチップ構造を有している。各発光ダイオードDR, DG, DBは電源線PW1と電源線PW2の間の領域に実装される。

#### 【0015】

本画像表示装置においては、各発光ダイオードDR, DG, DBに電氣的に接続され、各発光ダイオードDR, DG, DBを流れる電流を保持する為の電流保持回路(ドライバ)PTが各LED素子毎に形成されている。この電流保持回路PTは、トランジスタと容量を有する回路構成からなり、特に電流保持回路PTは個別のチップ状に形成され微小なサイズを以て実装基板7に実装されたものである。本例では、各発光ダイオードDR, DG, DBと電流保持回路PTを形成したドライバチップがほぼ同一のチップサイズを有している。この様なほぼ同一のチップサイズとすることで、同じ実装工程での実装が可能となり、製造工程を容易化することができる。これら各電流保持回路PTは電源線PW1とアドレス線ADDの間の領域に実装される。

#### 【0016】

各発光ダイオードDR, DG, DBと電流保持回路PTの間及び各信号線DLR, DLG, DLBやアドレス線ADD、電源線PW1, PW2の間には、配線

の必要から配線部 2 2 ~ 2 6 が形成されている。配線部 2 2 は縦方向を長手方向とする帯状小領域であり、発光ダイオードと電源線 P W 2 を接続する。配線部 2 3 は縦方向を長手方向とする帯状領域であり、発光ダイオード D R, D G, D B とその発光ダイオード D R, D G, D B を駆動する電流を保持する為の電流保持回路 P T の間をそれぞれ接続する。配線部 2 4 は発光ダイオードから横方向に延在された後、電源線 P W 1 に接続する為に縦方向に延在された帯状の領域であり、電流保持回路 P T と電源線 P W 1 の間を接続する。配線部 2 5 は縦方向を長手方向とする帯状の小領域であり、電流保持回路 P T とアドレス線 A D D の間を接続する。配線部 2 6 は横方向に延在した帯状の小領域であり、電流保持回路 P T と信号線 D L R, D L G, D L B の間をそれぞれ接続する。これら各配線部 2 2 ~ 2 6 は各発光ダイオード D R, D G, D B を微小なサイズを以て実装基板 7 に実装する場合に、接合用の導電材を載置することができるものであり、電流保持回路 P T のチップを同様に微細なサイズを以て実装基板 7 に実装する場合にも接合用導電材を載置することができるものである。

#### 【 0 0 1 7 】

図 5 は、図 3 及び図 4 に示した画像表示装置の回路図である。図中、ダイオード 3 1 が L E D チップであり、画像信号に応じて所定の色の発光を行なう。尚、ダイオード 3 1 は赤、緑、青の三色であり、水平方向（横方向）で並ぶ三つのダイオード 3 1 が一つの画素を構成しているが、回路図中では説明を簡素化する為に色の区別をせずに示している。ダイオード 3 1 に接続されたトランジスタ 3 2, 3 3 と容量 3 4 が電流保持回路を構成する。電源線 P W 1 と電源線 P W 2 の間でダイオード 3 1 と直列にトランジスタ 3 2 が接続され、トランジスタ 3 2 がオン状態の場合に限り、ダイオード 3 1 は発光する。電源線 P W 1 と電源線 P W 2 の一方は接地電圧を供給し他方は電源電圧を供給する。このトランジスタ 3 2 のゲートには容量 3 4 の一方の端子とスイッチングトランジスタとして機能するトランジスタ 3 3 のソース・ドレイン領域の一方が接続する。このトランジスタ 3 3 の他方のソース・ドレイン領域は画像信号が供給される信号線 D L に接続され、トランジスタ 3 3 のゲートは横方向に延在するアドレス線 A D D に接続される。

## 【 0 0 1 8 】

アドレス線ADDはシフトレジスタ回路36によって選択的にレベルが切り換えられる構造となっており、例えば複数のアドレス線の一本だけが高レベルにシフトして、その水平アドレスが選択されたことになる。信号線DLは画像信号を各発光ダイオード31に伝える為の配線であり、一列の発光ダイオード31に対して一本の信号線DLが対応する。アドレス線ADDはシフトレジスタ回路36によって選択的にレベルシフトされるが、信号線DLはシフトレジスタ・トランスファゲート回路35によって走査され、選択された信号線DLにはシフトレジスタ・トランスファゲート回路35を介して画像信号が供給される。

## 【 0 0 1 9 】

トランジスタ32のゲートに接続され且つトランジスタ33の一方のソース・ドレイン領域に接続する容量34は、トランジスタ32のゲートの電位をトランジスタ33がオフ状態となった際に維持する機能を有する。この様にトランジスタ33がオフとなった場合でも、ゲート電圧を維持できる為に、発光ダイオード31を駆動し続けることが可能である。

## 【 0 0 2 0 】

ここで簡単に動作を説明する。水平アドレス線ADDにシフトレジスタ回路36から電圧を印加してアドレスを選択すると、その選択されたラインのスイッチングトランジスタ33がオン状態となる。その時に、垂直方向（縦方向）に延在されている信号線DLに画像信号を電圧として加えると、その電圧がスイッチングトランジスタ33を介してトランジスタ32のゲートに到達するが、同時に容量34にもそのゲート電圧が蓄電され、その容量34がトランジスタ32のゲート電圧を維持する様に動作する。水平方向（横方向）のアドレス線ADDの選択動作が停止した後、選択にかかるアドレス線の電位が再び低レベルに遷移してトランジスタ33がオフ状態となった場合でも、容量34はゲート電圧を維持し続け、原理的には次のアドレス選択が生じるまで、容量34は選択時のゲート電圧を保持し続けることができる。この容量34がゲート電圧を維持している間は、トランジスタ32はその維持された電圧に応じた動作を行ない、発光ダイオード31に駆動電流を流し続けることが可能である。この様に発光ダイオード31が

発光している時間を長く保つことで、個々の発光ダイオードの駆動電流を低くしても画像全体の輝度を高くすることができる。従って、発光ダイオード 3 1 のチップを可能な限り微細化することが可能である。

#### 【 0 0 2 1 】

次に図 6 ～ 図 8 を参照して、図 3 ～ 図 5 に示した画像表示装置の製造方法を説明する。尚、本例では、チップを基板に実装する際、間引選択手順と部分転写手順を繰り返す選択転写方式を採用している。特に本例では、間引選択手順は、ウェハの表面上で配列を維持したまま分離した状態にある複数の素子のうち選択した素子のみにウェハの裏面からエネルギービーム（例えばレーザービーム）を照射して剥離し、仮基板に剥離した素子を仮転写して再配列する一方、部分転写手順は、仮基板に仮転写された素子を実装基板に本転写している。以下、LEDチップの形成から基板に対する実装まで順を追って説明する。

#### 【 0 0 2 2 】

まず図 6 の (A) に示す様に、サファイア基板 5 1 を用意し、図示しない低温、高温のバッファ層を形成した後、第 2 導電型クラッド層 5 2、活性層 5 3、第 1 導電型クラッド層 5 4 が順次積層される。サファイア基板 5 1 が素子形成用のウェハとなる。ここで第 2 導電型クラッド層 5 2、活性層 5 3、第 1 導電型クラッド層 5 4 は、例えば青色や緑色の発光ダイオードを製造する場合には、窒化ガリウム系結晶成長層とすることができる。この様な各層の成長によって、サファイア基板 5 1 上には p n 接合を有したダブルヘテロ構造の発光ダイオードが形成される。

#### 【 0 0 2 3 】

次に (B) に示す様に、フォトリソグラフィ技術を用い、更に蒸着と反応性イオンエッチングを利用して、第 2 導電型クラッド層 5 2 に接続する様に n 型電極 5 5 が形成され、更に第 1 導電型クラッド層 5 4 に接合する様に p 型電極 5 6 も形成される。各電極 5 5、5 6 が各素子毎に形成されたところで、各素子の周囲を分離する様に分離溝 5 7 が形成される。この分離溝 5 7 のパターンは一般的に残される発光ダイオードを正形状とする為に格子状となるが、これに限定されず他の形状でもよい。この分離溝 5 7 の深さはサファイア基板 5 1 の主面が露出す

る深さであり、第2導電型クラッド層52は分離溝57によって分離されたものとなる。正形状とされる発光ダイオードのサイズは、その占有面積が例えば $25\mu\text{m}^2$ 以上で $10000\mu\text{m}^2$ 以下とされる程度の大きさであり、一辺のサイズは従って $5\mu\text{m}\sim 100\mu\text{m}$ 程度である。

## 【0024】

(C)に示す様に、一時保持用基板(仮基板)60を用意する。この一時保持用基板60は各発光ダイオードを転写する場合に保持する為の仮基板である。この一時保持用基板60の表面には粘着材層61が塗布されており、その粘着材層61の表面62を、既に分離溝57が形成された発光ダイオード側に圧着する。すると、粘着材層61の表面62には各発光ダイオードの表面側が粘着することになる。

## 【0025】

次に、図7の(D)に示す様に、エネルギービームとして例えばエキシマレーザー光などの高出力パルス紫外線レーザーを、サファイア基板51の裏面側から表面側に透過する様に照射する。この時、間引選択手順によってあらかじめ選択された発光ダイオード(図の例では四個の発光ダイオードのうち左側から二番目の発光ダイオード)のみにレーザー光を照射する。この高出力パルス紫外線レーザーの照射によって、サファイア基板51と結晶層である第2導電型クラッド層52の界面近傍で、例えば窒化ガリウム層が窒素ガスと金属ガリウムに分解し、第2導電型クラッド層52とサファイア基板51の間の接合力が弱くなる。

## 【0026】

その結果(E)に示す様に、選択された発光ダイオードのみ、サファイア基板51と結晶層である第2導電型クラッド層52との間を容易に剥離することができる。この結果、選択された発光ダイオードのみが、一時保持用基板60側に転写される。

## 【0027】

この後(F)に示す様に、一時保持用基板60に転写された発光ダイオードを、別の仮基板70側に再転写する。尚、図示を省略するが仮基板70は、一時保持用基板60と同様の構成を有しており、粘着材層を備えている。

## 【 0 0 2 8 】

図 8 の ( G ) は、選択された発光ダイオードが、一時保持用基板 6 0 側から仮基板 7 0 側に再転写された後の状態を表わしている。

## 【 0 0 2 9 】

この後 ( H ) に示す様に、配線用基板 ( 実装基板 ) 7 を用意する。この配線用基板 7 上には所要の信号線やアドレス線、電源線や接地線などの配線電極 8 1 があらかじめ形成されている。配線用基板 7 は、例えばガラス基板や、合成樹脂又は絶縁層で形成された金属基板、あるいはシリコン基板などの半導体製造に汎用的な基板であり、アドレス線やデータ線を求められる精度で形成可能な基板であれば、どのような材質であってもよい。配線電極 8 1 上には接合用導電材 8 2 が形成されている。この接合用導電材 8 2 は圧着されることで変形しながら且つ電気的な接続を果たす材料であればよい。

## 【 0 0 3 0 】

最後に ( I ) に示す様に、仮基板 7 0 を配線用基板 7 に近づけ、所定の位置に発光ダイオードを圧着させて当該発光ダイオードを実装する。この非パッケージ状態の発光ダイオードの圧着によって接合用導電材 8 2 は変形するが、確実に固定されて実装を完了する。係る発光ダイオードの実装作業を全部のダイオードについて繰り返して行なうことでマトリクス状に画素が配列された画像表示装置が完成する。電流保持回路についても同様の非パッケージ状態のまま実装することができ、電流保持回路を有する回路構成も容易に製造することができる。尚、上述した実施例では、サファイア基板を用いてレーザ剥離方式により発光ダイオードを転写している。サファイア基板に代えて G a N 基板を用いた場合には、レーザ剥離方式を有効化する為、紫外線吸収用の元素 ( 例えば I n ) を基板に添加しておくことが好ましい。

## 【 0 0 3 1 】

図 9 は、本発明に係る素子実装方法の他の実施形態を示す模式図である。本例も、R G B 三色の L E D を回路基板に実装して、カラー画像表示装置を製造している。図 1 及び図 2 に示した素子実装方法と異なる点は、二段階方式を採用したことである。即ち、L E D チップの再配列工程は、第一の倍率で一回目の再配列

を行ない、続いて第二の倍率で二回目の再配列を行なって、第一の倍率と第二の倍率の積が目標の倍率となる様にしている。この場合、一回目の再配列工程と、二回目の再配列工程では、別々の手法を用いてLEDチップを操作することができる。

## 【 0 0 3 2 】

まず(0)に示す様に、RGB三色の各々について、マイクロチップアレイ1R, 1G, 1Bを用意する。各マイクロチップアレイは、 $20\mu\text{m}$ 角のチップを $25\mu\text{m}$ 周期で形成分離してある。

## 【 0 0 3 3 】

次に(1)に示す様に一回目の再配列工程を行ない、倍率8で各マイクロチップアレイのチップを拡大再配列している。従って、一回目の再配列後では、LEDチップDR, DG, DBはそれぞれ、 $200\mu\text{m}$ ピッチで二次元的に整列している。尚、LEDチップは埋め込み型とされ、 $160\mu\text{m}$ 角となる。

## 【 0 0 3 4 】

続いて(2)に示す様に、倍率3で二回目の再配列工程を行なう。これにより、元のチップの周期 $25\mu\text{m}$ は、 $8 \times 3 = 24$ 倍され、最終的なLEDチップの配列ピッチは $600\mu\text{m}$ まで拡大される。二回目の再配列工程では、拡大率を3とすることで、各色のLEDチップDR, DG, DBを順に配列することが可能となる。DR, DG, DB一組で一画素を構成する。

## 【 0 0 3 5 】

図10は、本発明に係る素子実装方法の別の実施形態を示す模式図であり、特に再配列工程を表わしている。(A)に示す様に、まず所定の周期Dで形成分離されたLEDチップを保持するウェハ1と、所定の倍率Gで拡大可能な担体90を用意する。次に(B)に示す様に、所定の倍率で拡大可能な担体90の上に、元の配列を維持したまま個々のLEDチップを固定する固定手順を行なう。この後(C)に示す様に、担体90を所定の倍率で拡大し各LEDチップの間隔Gが、元の周期Dを所定の倍率で拡大した寸法となる様に広げる拡大手順を行なう。特に本実施形態では、(B)の固定手順において、所定の倍率で展開可能な様にあらかじめ折りたたまれた担体90の上に個々のLEDチップをウェハ1側から



転写固定する。又（Ｃ）の拡大手順では、担体 90 を所定の倍率で展開する。これら固定手順及び拡大手順により、自動的に LED チップを拡大再配列することが可能である。尚、この様な蛇腹方式を採用した場合、二次元的な配列を一回で拡大再配列することは難しい。そこで、蛇腹方式の場合、一次元的な拡大再配列を二回行なって最終的に二次元的な拡大再配列を行なえばよい。即ち、素子形成分離工程では、所定の周期で縦横二次元的に再配列する様に複数の素子を形成分離する。この後の再配列工程では、各素子を縦横一方に一次元的に蛇腹方式で拡大再配列した後、各素子を縦横他方に蛇腹方式で一次元的に再配列すればよい。尚、所定の倍率で展開可能な様にあらかじめ折りたたまれた担体の材質としては、例えばアルミホイルなどを用いることができる。

## 【 0 0 3 6 】

図 1 1 は、本発明に係る素子実装方法の更に別の実施形態を示す模式図である。基本的には、図 1 0 に示した先の実施形態と同様である。異なる点は、担体として、展開可能な様にあらかじめ折りたたまれたものに代え、所定の倍率で弾性変形又は塑性変形可能なフィルム状の材質を用いていることである。（Ａ）に示す様に、まず所定の倍率で弾性変形可能なフィルム状の担体 90 a の上に、個々の LED チップを固定する。フィルム状の担体 90 a としては、例えば互いに直交する方向に同一の割合で二軸延伸可能なプラスチックフィルムを用いることができる。この後（Ｂ）に示す様に、フィルム状の担体 90 a を所定の倍率で縦横両方向に二軸延伸する。これにより、LED チップを自動的に拡大再配列することが可能である。拡大再配列された LED をそのまま実装基板側に転写する。

## 【 0 0 3 7 】

図 1 2 は、本発明に係る素子実装方法の更に別の実施形態を示す模式図である。本実施形態は、先の選択転写方式と延伸方式を組み合わせている。まず（Ａ）に示す様に、素子形成分離工程を行ない、所定の周期で縦横二次元的に配列する様に複数の LED チップをウェハ 1 上に形成分離しておく。続いて（Ｂ）に示す様に、一回目の再配列工程を行ない、選択転写方式を用いて、各 LED チップを例えば横方向に担体 90 b の上に一次元的に再配列する。この担体 90 b は、縦方向に所定の倍率で一軸延伸可能なフィルムからなる。続いて（Ｃ）に示す様に

、横方向に拡大再配列されたＬＥＤチップの状態をそのまま維持して、フィルム状の担体 9 0 b をストライプ状に切断する。最後に（Ｄ）に示す様に、切断されたストライプ状の担体 9 0 b を一軸延伸し、ＬＥＤチップを縦方向に一次的に再配列する。この結果、（Ａ）と（Ｄ）を比較すれば明らかな様に、ＬＥＤチップは二次元的に拡大再配列されたことになる。

【 0 0 3 8 】

【発明の効果】

以上説明したように、本発明によれば、素子分離工程と拡大再配列工程と転写工程とを行なうことで、効率的且つ高精度で、微細なチップをウェハから基板に実装することが可能となり、製品の低コスト化及び高精度化が可能になる。

【図面の簡単な説明】

【図 1】

本発明に係る素子実装方法の実施形態を示す模式図である。

【図 2】

図 1 に示した実施形態の詳細説明図である。

【図 3】

図 1 及び図 2 の実施形態で製造された画像表示装置を示す模式図である。

【図 4】

図 3 に示した画像表示装置の一画素分を示す模式図である。

【図 5】

図 3 に示した画像表示装置の等価回路図である。

【図 6】

図 3 に示した画像表示装置の製造方法を示す工程図である。

【図 7】

図 3 に示した画像表示装置の製造方法を示す工程図である。

【図 8】

図 3 に示した画像表示装置の製造方法を示す工程図である。

【図 9】

本発明に係る素子実装方法の他の実施形態を示す模式図である。

【図 1 0】

別の実施形態を示す模式図である。

【図 1 1】

更に別の実施形態を示す模式図である。

【図 1 2】

更に別の実施形態を示す模式図である。

【図 1 3】

従来の画像表示装置の一例を示す模式図である。

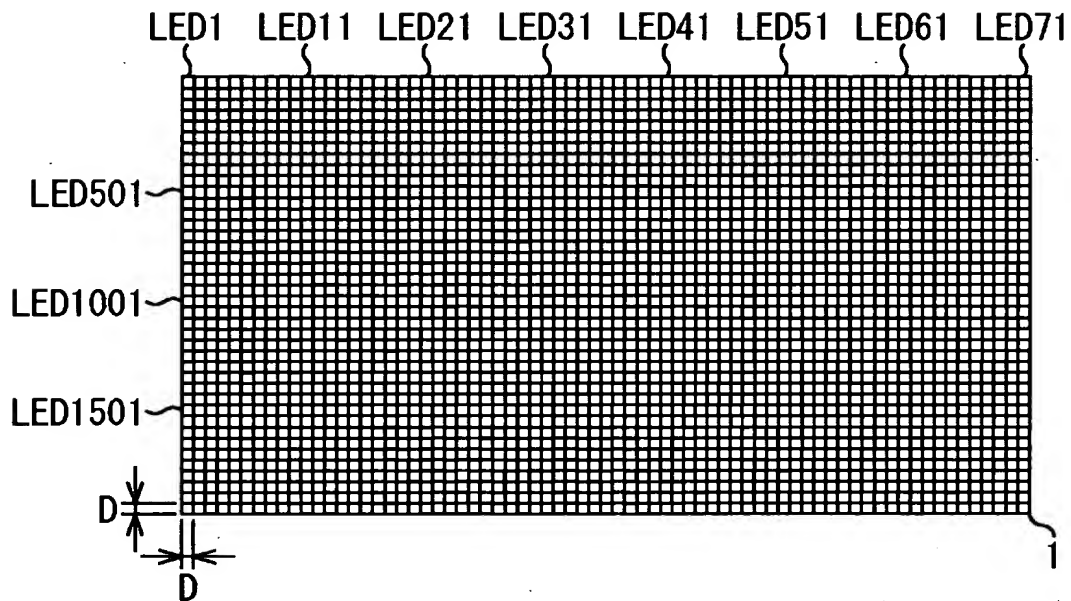
【符号の説明】

1・・・ウェハ、7・・・実装基板、LED・・・発光素子

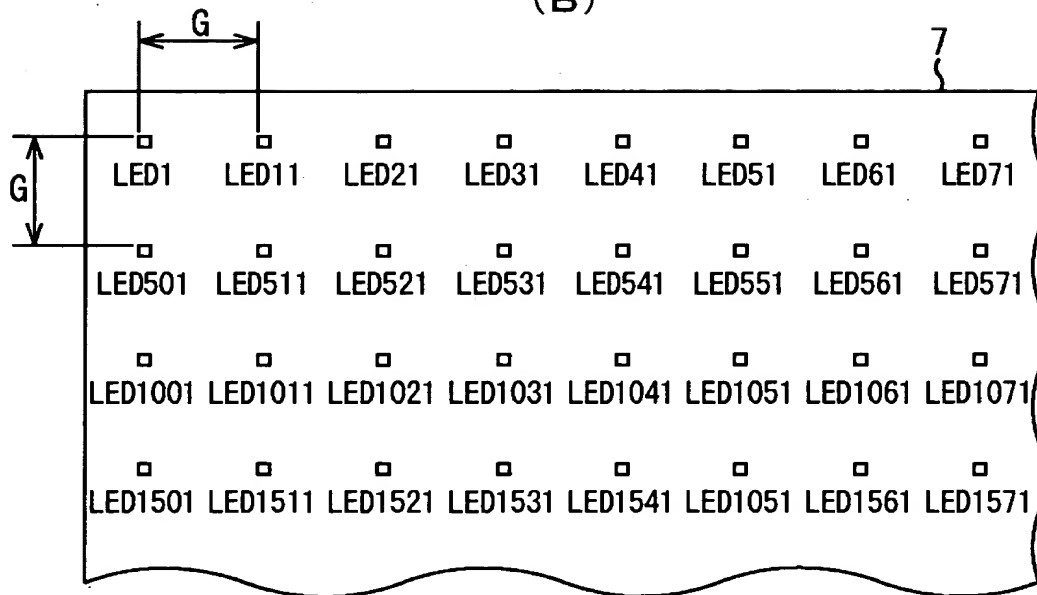
【書類名】 図面

【図 1】

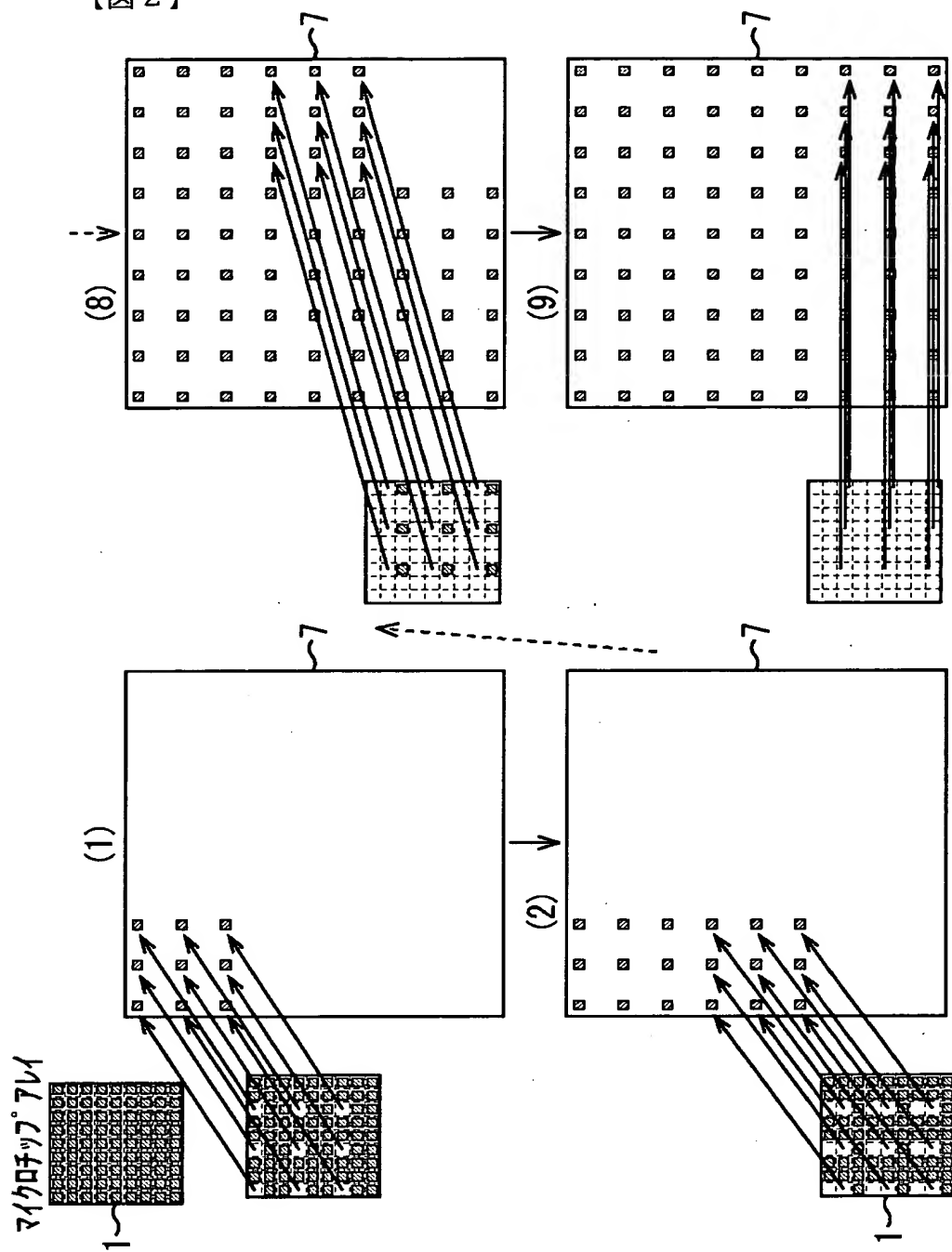
(A)



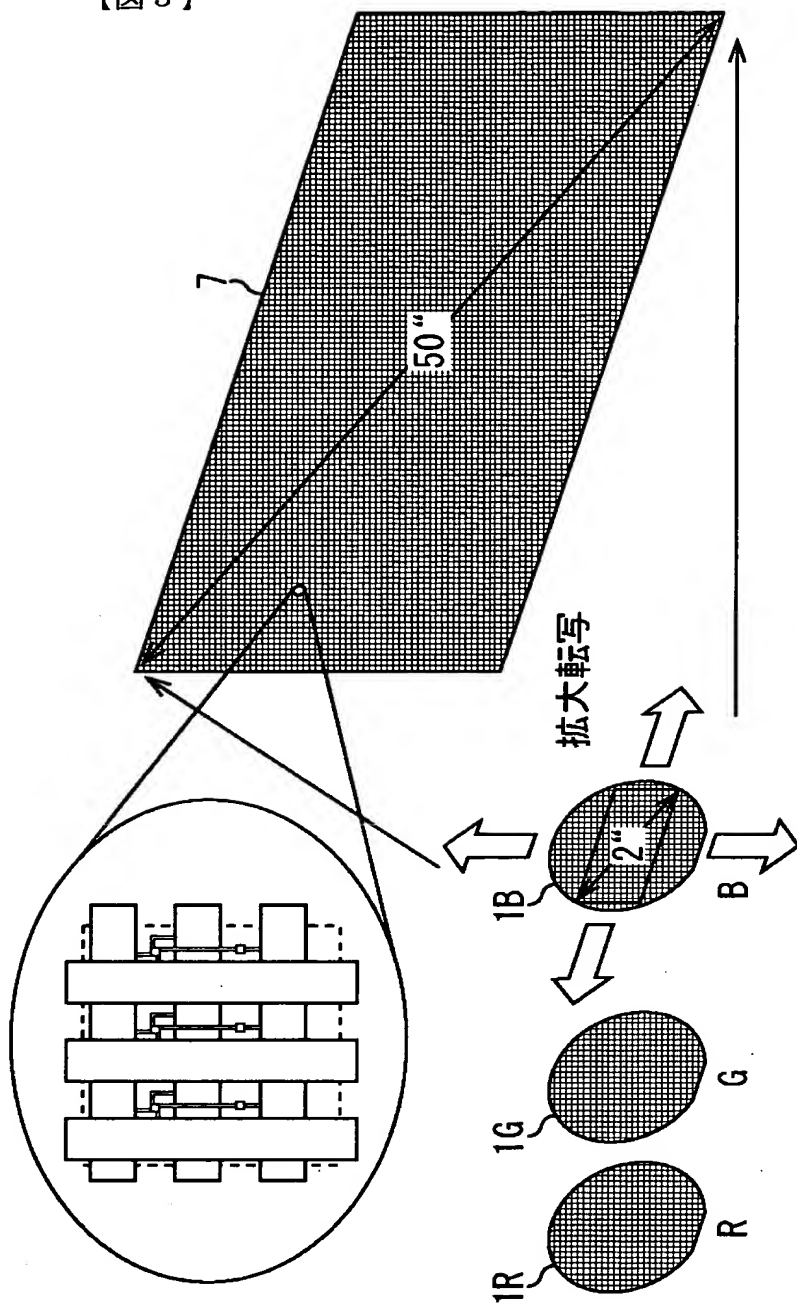
(B)

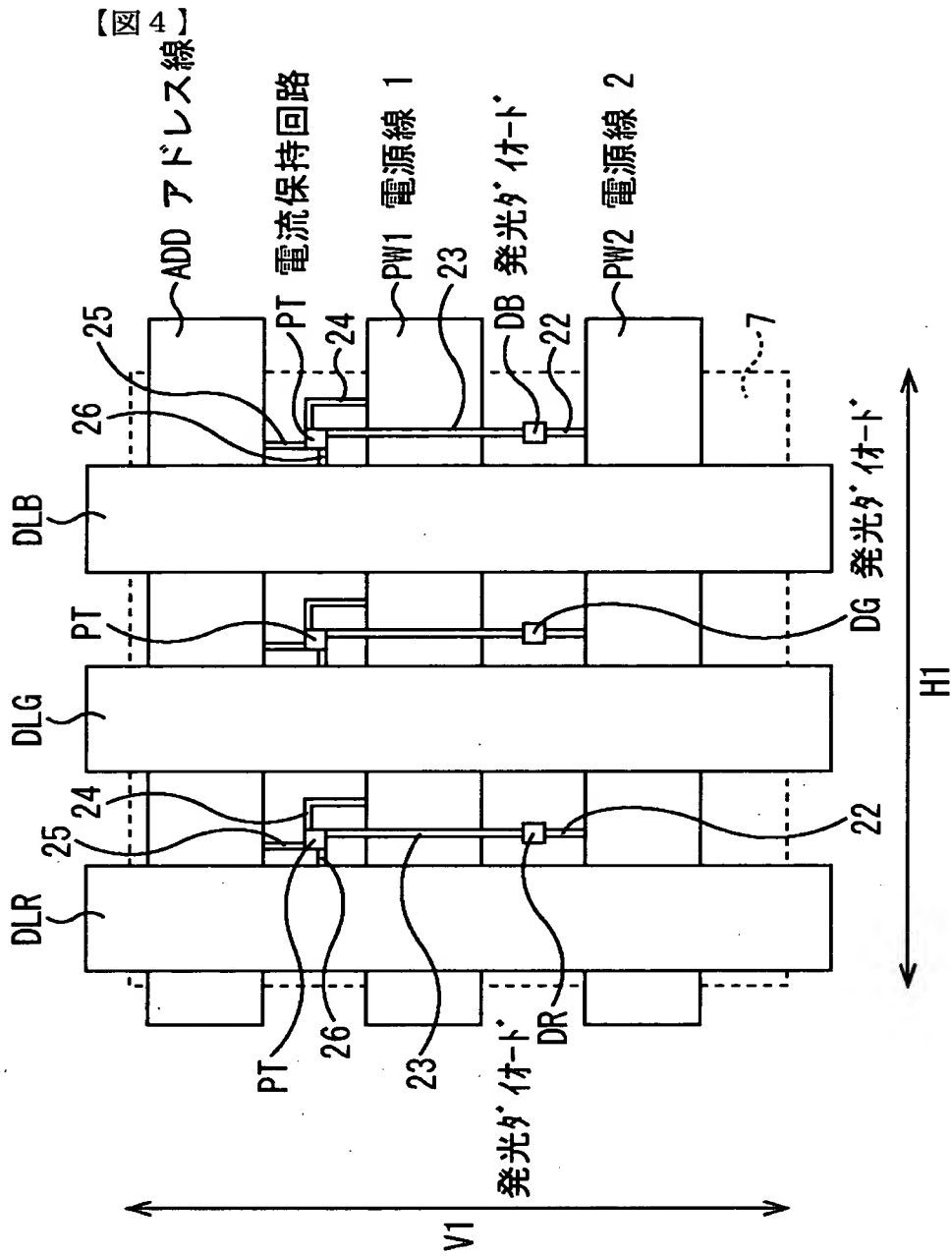


【図 2】

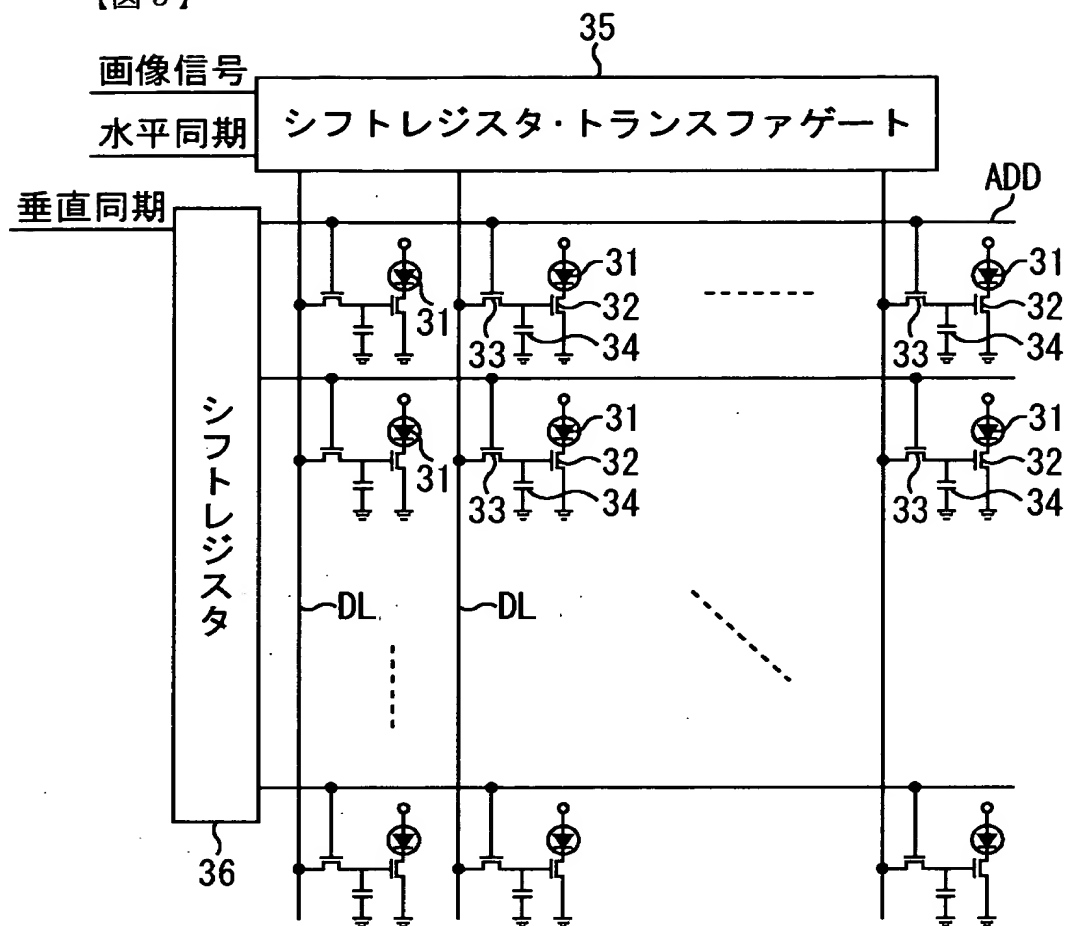


【図3】



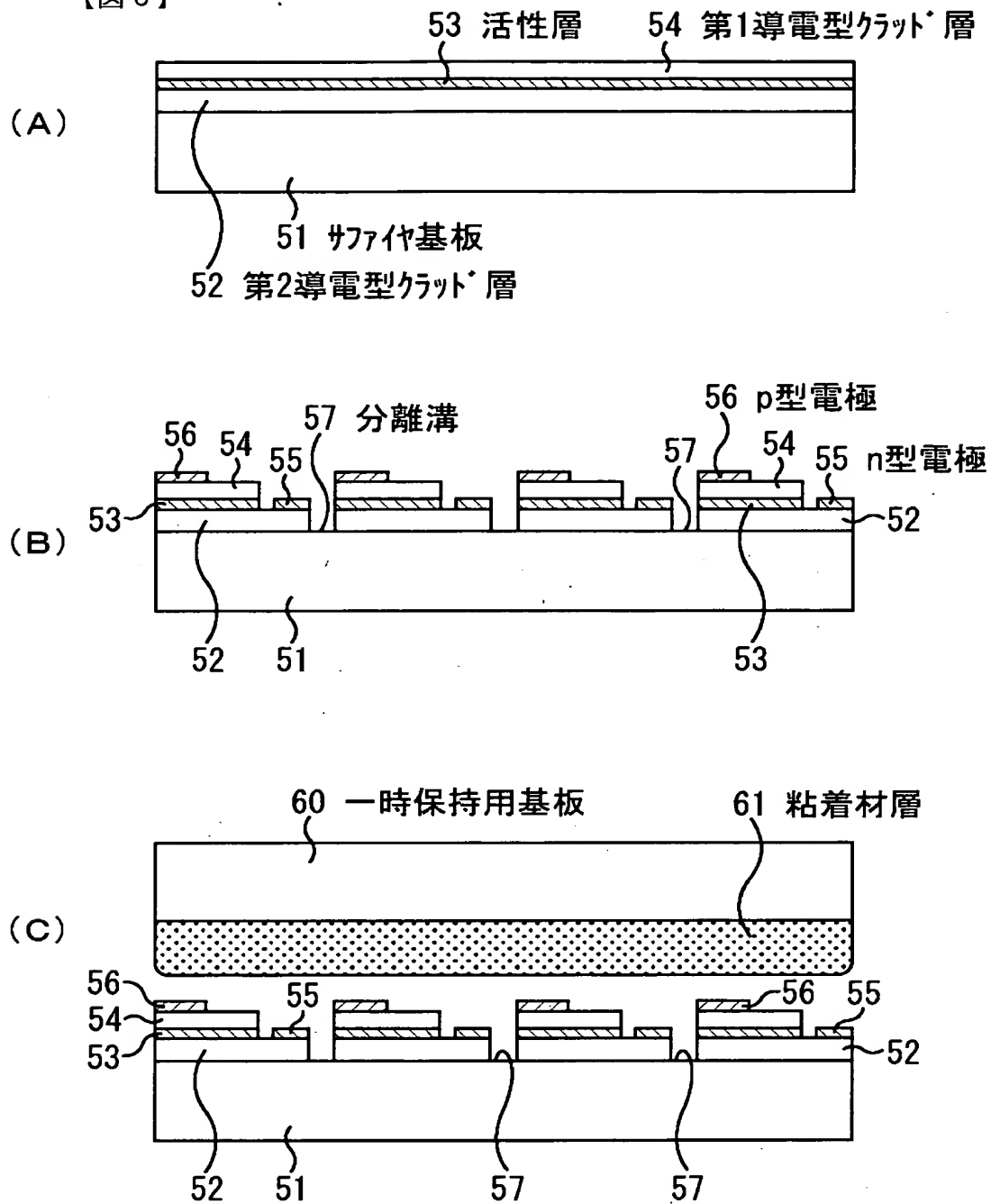


【図 5】

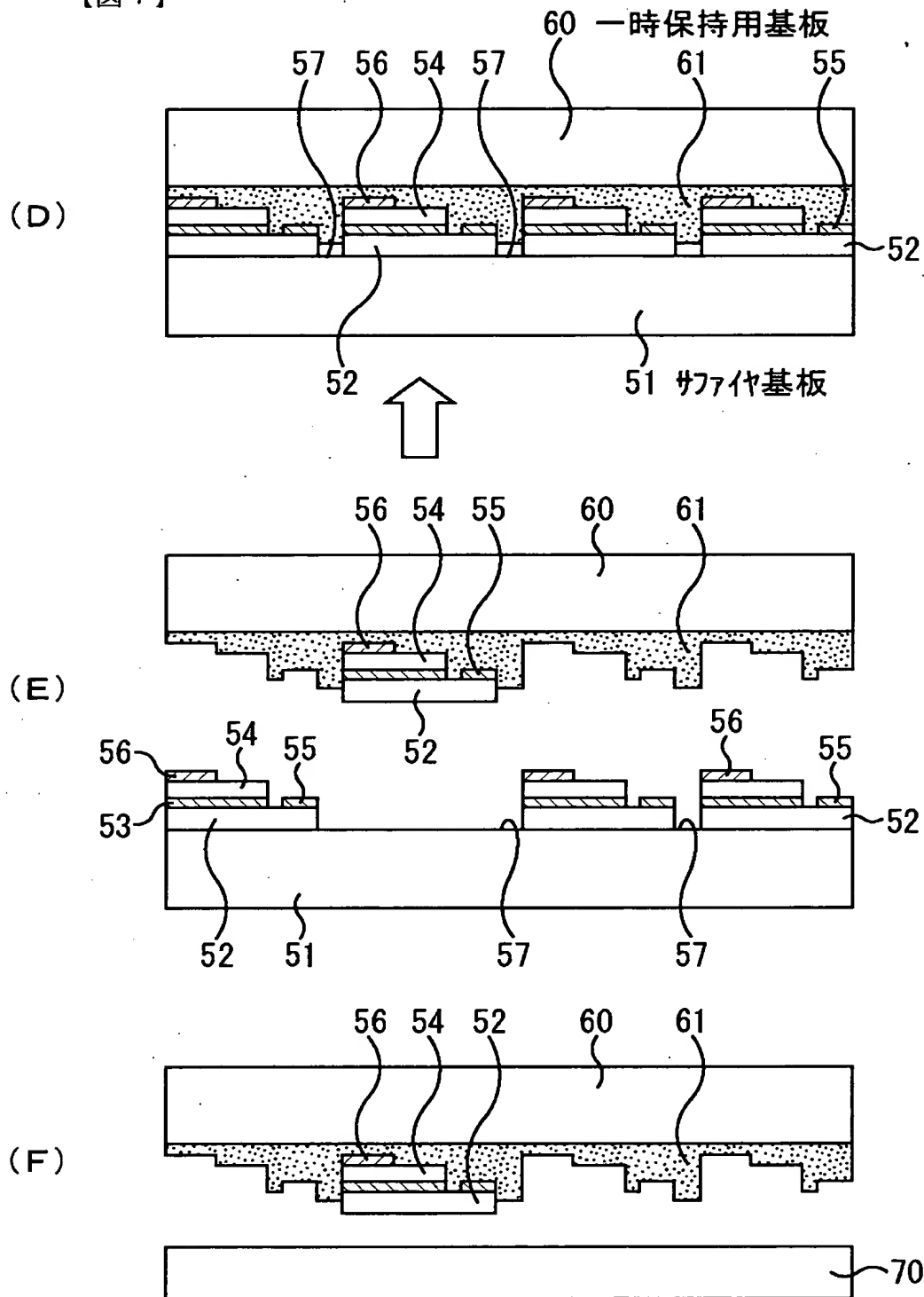




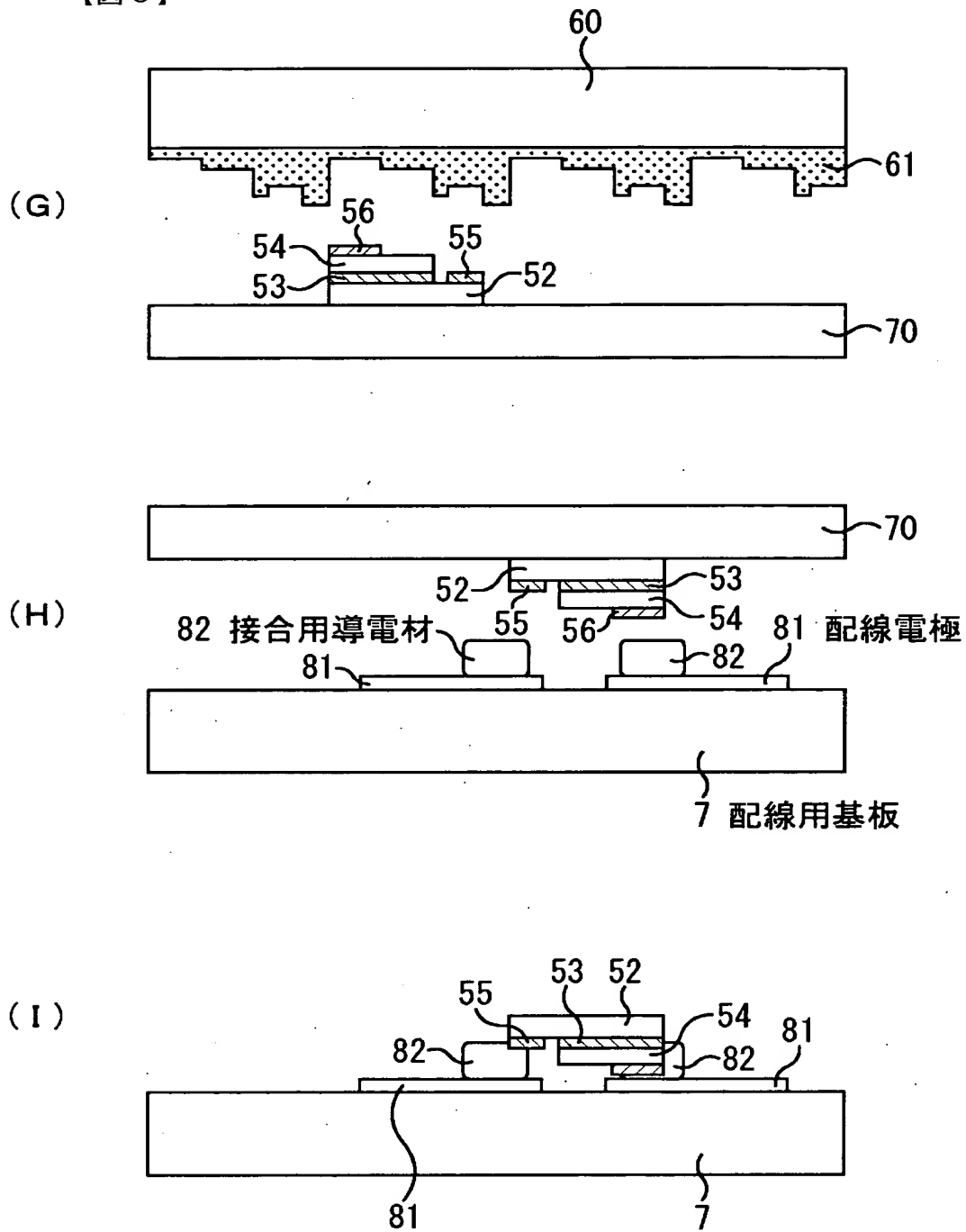
【図 6】



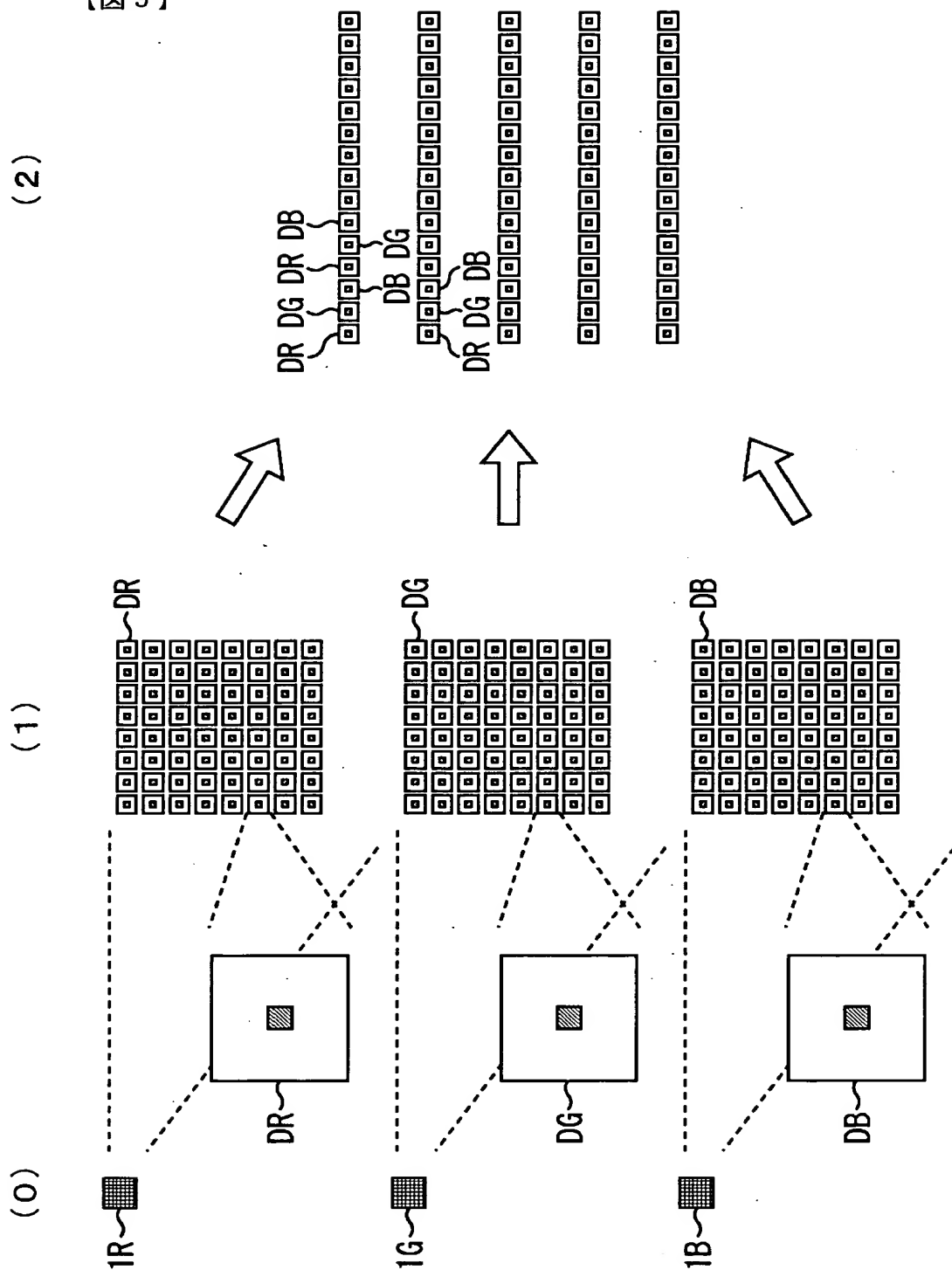
【図 7】



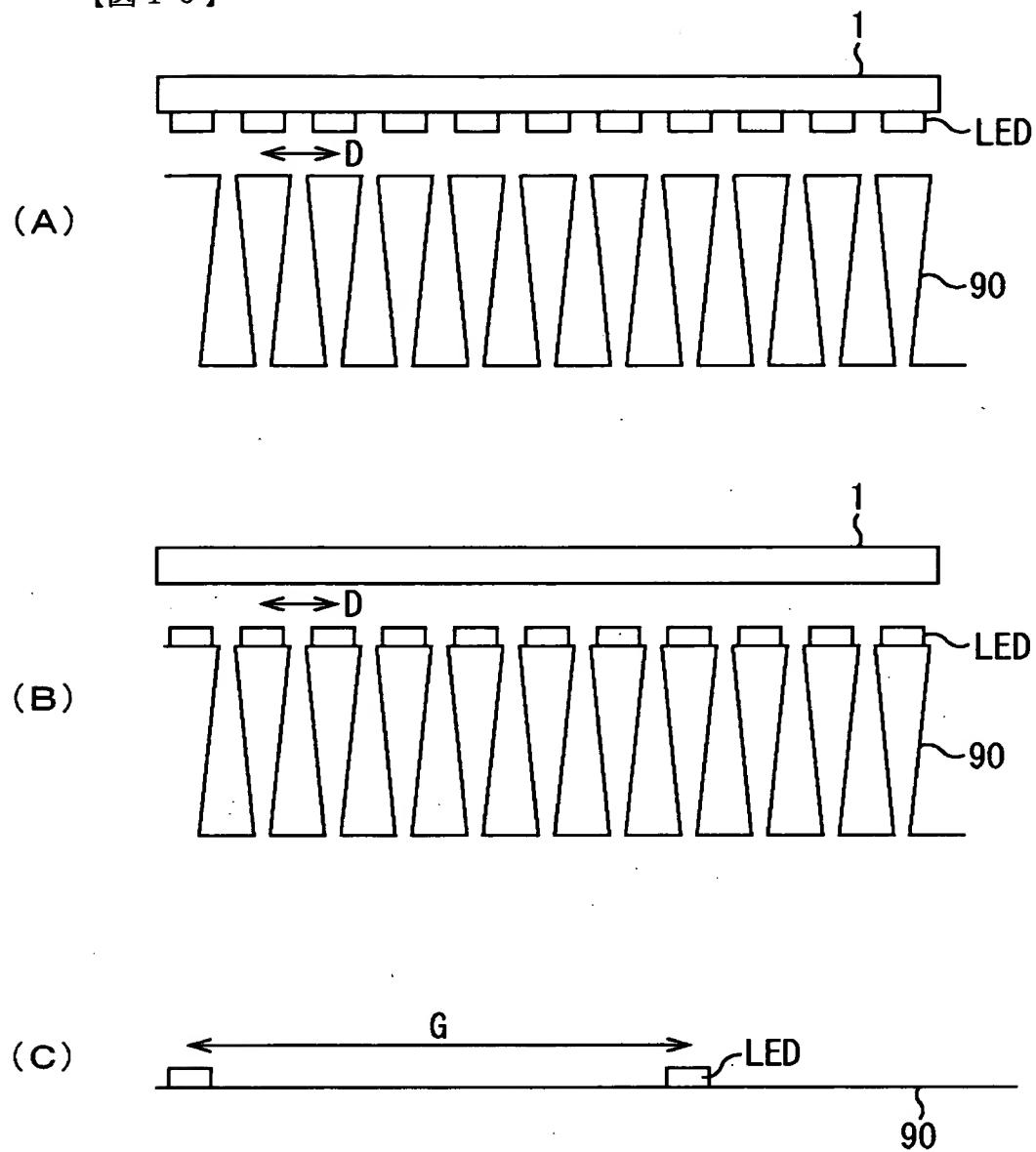
【図 8】



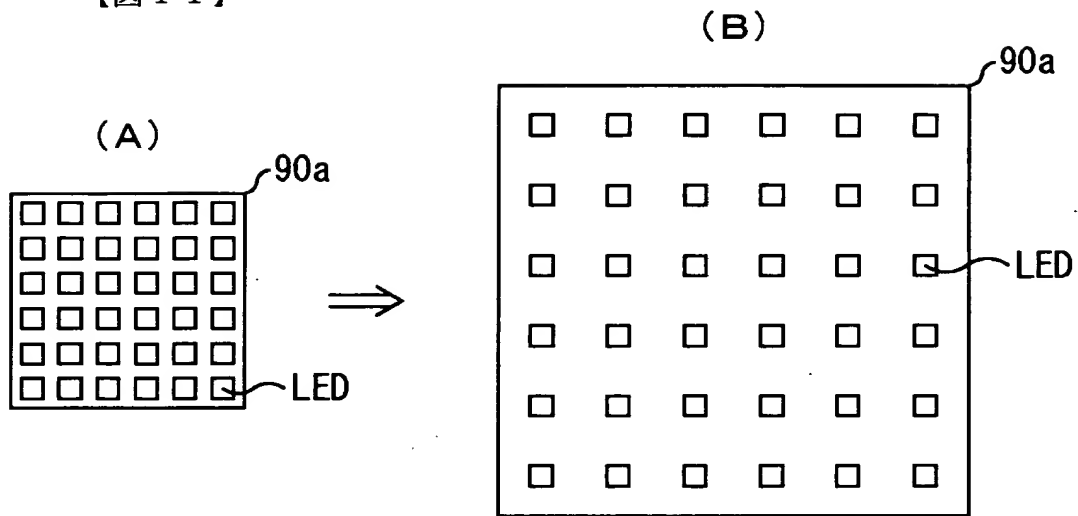
【図 9】



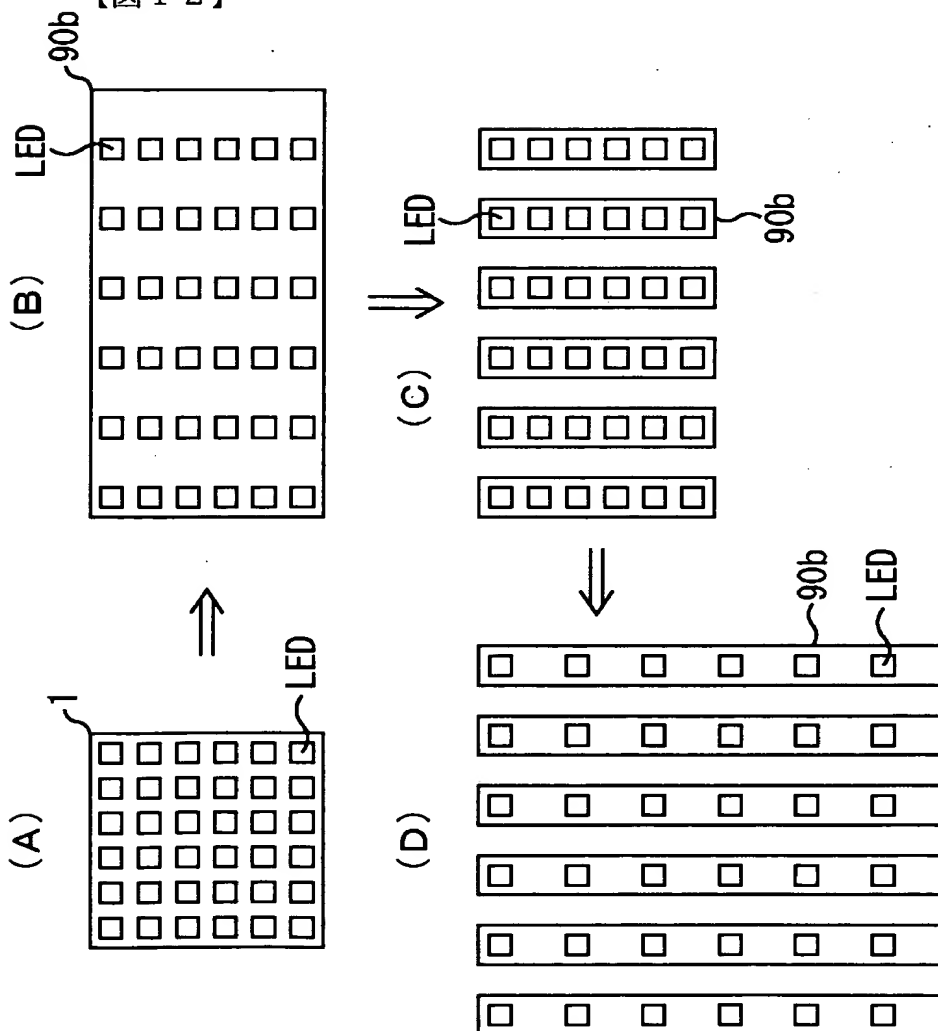
【図 1 0】



【図 1 1】

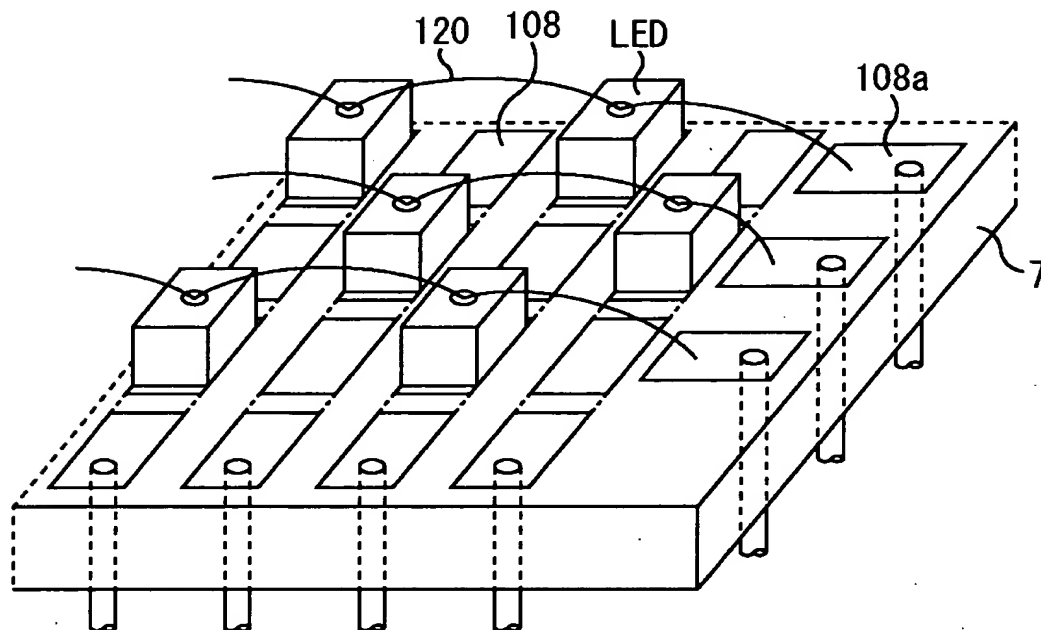


【図 1 2】

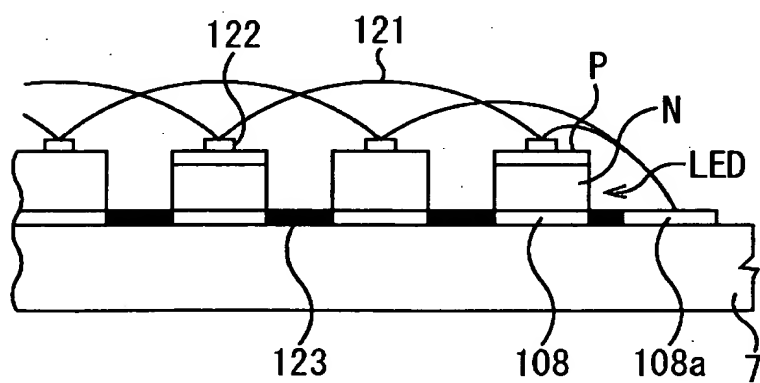


【図13】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 微細な素子を効率的且つ精密に回路基板に配列可能な素子実装方法を提供する。

【解決手段】 まず、所定の周期Dで配列する様に複数のLED素子をウェハ1上に形成した後、該配列を維持したまま個々のLED素子に分離する素子分離工程を行なう。次に、個々に分離したLED素子进行操作して、互いの間隔Gが該周期Dを所定の倍率で拡大した寸法となる様に、各LED素子を再配列する再配列工程を行なう。そして、再配列した状態を保持したまま各LED素子を実装基板7に転写する転写工程を行なう。

【選択図】 図1



職権訂正履歴（職権訂正）

特許出願の番号	特願2000-307615
受付番号	50001299895
書類名	特許願
担当官	椎名 美樹子 7070
作成日	平成12年10月11日

<訂正内容1>

訂正ドキュメント

明細書

訂正原因

職権による訂正

訂正メモ

明細書の内容中【図面の簡単な説明】の項目名が改行されてないので訂正します。

訂正前内容

ことが可能となり、製品の低コスト化及び高精度化が可能になる。【図面の簡単な説明】

【図1】

訂正後内容

ことが可能となり、製品の低コスト化及び高精度化が可能になる。

【図面の簡単な説明】

【図1】

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都品川区北品川6丁目7番35号  
氏 名 ソニー株式会社